

一款嵌入式可视媒体处理系统芯片的设计与实现

严 明,李思昆,沈剑良,赵 鹏

(国防科学技术大学计算机学院,湖南长沙 410073)

摘 要: 可视媒体领域应用是一类混合多种媒体应用的计算密集型且数据带宽大的复杂应用.本文介绍了一款名为 EVMP-SoC 的异构多核 SoC.该 SoC 采用两个微异构的应用定制指令集协处理器构成协处理系统.针对可视媒体处理典型应用的计算特性,对该系统芯片进行了系统结构和微体系结构的优化设计,采用 SMIC 0.13 μm CMOS 标准单元库实现了该系统芯片.通过应用微内核和三个典型应用的核心算法,对该系统芯片的性能和功耗进行了分析与评测.最后通过一个应用实例,验证了该系统芯片 EVMP-SoC 的高效性和高可用性.

关键词: 异构体系结构;多核 SoC;嵌入式可视媒体处理;领域应用 SoC

中图分类号: TP391.72 **文献标识码:** A **文章编号:** 0372-2112 (2011) 02-0249-06

Design and Implementation of an Embedded Visual Media Process SoC

YAN Ming, LI Si-kun, SHEN Jian-liang, ZHAO Peng

(School of Computer, National University of Defense Technology, Changsha, Hunan 410073, China)

Abstract: Visual media domain applications are a kind of complex applications which are computation intensive and bandwidth exhausting. This paper described a heterogeneous multicore SoC named EVMP-SoC, which is specially optimized for embedded visual media applications. The chip was implemented using SMIC 0.13 μm CMOS standard cell library technology. We evaluated this chip with some micro application kernels. After exploiting the parallelisms on the chip, optimization based on high level transformation was done to improve the performance of execution of nested loops. Finally, through a case study, the chip shows high efficiency and availability.

Key words: heterogeneous architecture; multicore SoC; embedded visual media process; domain applications specific SoC

1 引言

近年来,用户界面的改善成为嵌入式系统研究和发展的热点.一些新的更加复杂的特性不断涌现.新出现的这些媒体特性,有别于传统的视频流媒体或者纯粹的图形显示,我们将其归类为可视媒体应用.可视媒体应用是一类高度融合图像、视频、图形和计算机视觉处理算法的新型应用.这类应用对系统的计算性能要求高,任务间数据通信量大,而且比传统的主要由视频和图像组成的多媒体应用更加复杂多变.

由于可视媒体应用在嵌入式环境下刚刚兴起,国内外的相关研究所见不多.而现有的商业应用中仅有美国 TI 公司设计的 OMAP 系列^[1]系统芯片涵盖了大部分的可视媒体应用.该系列芯片能够很好的支持嵌入式环境下的简单多媒体应用,如音频、视频播放,3D 游戏,摄像等.但各个功能模块之间存在资源冗余,且核间通信带宽受限,同时由于缺乏可编程特性,难以实现复杂的可

视媒体应用支持.

多核芯片设计已经成为目前体系结构研究的热点. Cell 处理器^[2]是由 IBM 公司设计完成的一款高性能异构多核处理器,该处理器目前被广泛应用于高性能计算系统. Cell 处理器体系结构^[3]的成功证明了异构体系结构和片上多处理器的高产出率,高效率和对应用的良好适应性.应用定制指令集处理器 (Application Specific Instruction-Set Processor, ASIP) 对于某一类具体的应用领域表现良好.本文给出了一款采用两个微异构的单指令流多数据流 (Single Instruction-stream Multiple Data-stream, SIMD) 结构的 ASIP 作为协处理器的异构多核系统芯片的设计实现.

2 应用负载特征分析

我们采用基于 SUIF 编译框架的静态程序分析方法^[5],以快速得到 SoC 系统结构设计和微体系结构设计所需要的应用概要信息.目前主要分析的应用程序负载

特征主要包括计算模式、数据格式、通信开销和存储分布等.主要的分析对象则是可视媒体处理的典型应用.通过抽取其核心算法进行计算模式和数据格式的分析,根据任务之间的数据交互来分析通信开销和存储分布特征.

2.1 应用的计算和数据类型特征

可视媒体领域应用涵盖的应用算法非常广泛,我们主要的分析对象包括:视频编解码处理,图像处理,3D图形绘制,三维重建算法等等.为指导系统结构和微体系结构设计,我们主要分析核心算法所处理的数据基元的组织形式、数据类型以及主要的操作构成.可视媒体处理典型任务的计算模式和数据格式的分析结果如表 1 所示

表 1 应用核心算法和运算特征分析

算法核心	数据基元	操作类型
MPEG2 DCT/IDCT	8×8 像素块	整数乘加
MPEG2 MC/ME	宏块	整数 ALU
H.264 DCT/IDCT	可变大小像素块	整数乘加
H.264 IP/IF	宏块	整数 ALU
H.264 CAVLC/CABAC	4×4 残差块	整数乘加
图像处理(轮廓提取、二值化等)	0/1 矩阵	整数浮点 ALU
基于图像序列的目标识别	整数矩阵	整数 ALU
顶点渲染	三角形顶点	整数浮点乘加
像素渲染	几何与纹理	整数浮点乘加

如表 1 所示,在可视媒体处理的典型任务中,大部分的核心运算数据结构采用矩阵形式的像素块或者向量形式的几何表示,这类数据结构具有良好的数据并行性,因此采用向量结构或者 SIMD 结构的微体系结构可对这类数据的处理达到比较好的加速效果^[6].考虑到嵌入式环境下对芯片面积和功耗的约束,以及嵌入式图形处理对于颜色和精细度要求相对较低的特点,可以采用整数和支持定点运算的运算单元,取代面积和功耗较大的浮点运算单元.通过对不同应用分别定制指令集,有利于降低系统总体的硬件开销,同时在复杂应用的加速过程中,可以得到任务级的粗粒度加速特性.

2.2 应用数据流和通信特征

应用的数据流及任务间通信特征在用于体系结构设计时,可以指导系统结构的设计,如处理器核的功能粒度,局部存储器大小,多核通信与互联机制的设计等等.数据流与通信特征分析主要用于分析应用的核心运算任务之间的数据流动和通信量,图 1 给出了一个计算机视觉典型应用:基于视频截图的三维重建的数据流结构与任务间通信信息.

如图 1 所示,三维重建应用有多个子任务.每一个子任务具有完全不同的计算处理过程.每个计算处理过程对系统的计算性能要求较高,而这些子任务之间,

则存在着大量的各种不同类型的数据通信,如视频流、图像帧、三维场景的轮廓和边等等.数据量的大小也是变化的.根据数据局部性原理,处理单元若对通信量较大的子任务能够直接支持,则可将任务间通信量转化为节点内的局部数据相关而予以消除;而对多个子任务的直接支持,需要子任务间具有相似的计算特性,若不能直接支持,则需要在任务处理节点之间设计较大的局部数据通信通道,以减少数据通信开销所带来的系统性能的损失.

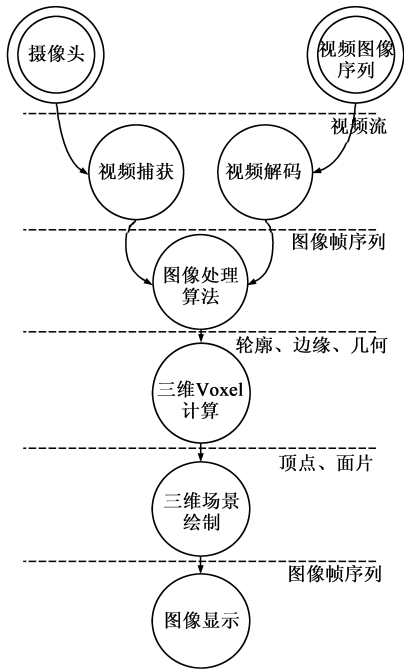


图1 基于视频流的三维重建子任务数据流及通信

根据图 1 中数据通信量的关系我们可以将应用划分为两个部分,前一部分的视频和图像处理可以被归类为预处理阶段.这一阶段对输入带宽的需求较大,主要用来传输视频流和图像帧.后一部分的视觉和图形处理则可归为后端处理阶段,需要较高性能的计算资源及显示输出带宽.视频和图像处理在数据结构及运算特征上具有较大的相似性,因此在处理结构上对两者进行直接支持具有良好的可行性.而视觉和图形处理则主要基于图像处理算法和图形绘制运算,同样具有类似的数据结构和运算特性.存在于前后两个阶段的数据通信量则可设计高带宽通信通道予以支持.

3 系统芯片系统结构

基于前述的负载特征分析,SoC 系统结构及微体系结构设计的一些基本策略已经确定,如异构多核的基本系统结构,采用 SIMD 微体系结构的协处理器,具有相同基本指令集的两个微异构协处理器,分别面向不同应用的指令集定制,整数与定点运算为主的运算单

元,大位宽片上局部存储器,高效的局部互联通信,高带宽局部存储访问等。下面分别从系统结构、协处理器微体系结构以及核间互联通信等三个方面详细介绍该系统芯片的设计。

3.1 系统芯片体系结构

首先给出该系统芯片的总体结构:

如图 2 中所示, EVMP-SoC 主要包含一个 32 位 RISC 处理器 EStar 作为主处理器系统, 以及两个差分 SIMD 核 VIPE 和 VGPE 构成的协处理系统。EStar 是一款自主设计投片的 32 位高性能嵌入式微处理器。主处理器系统拥有丰富的外部设备接口。协处理系统则除了两个微异构的协处理器核, 还拥有独立的局部存储器接口、显示控制单元和一个优化的多通道存储访问控制单元。EVMP-SoC 通过开放的互联总线标准 Wishbone 互联。系统采用层次化的互联方法。协处理系统通过一套高速总线的主从接口与主处理器系统相连。从接口允许主处理器对协处理系统进行配置和访问; 而主接口则使得协处理器可在不需要主处理系统干预的情况下进行后台的数据搬移, 类似于直接存储访问 DMA 操作。

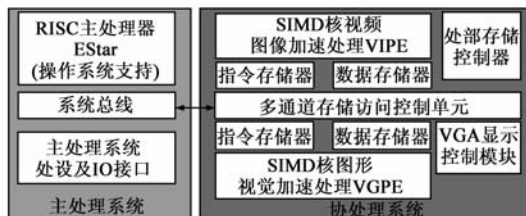


图2 EVMP-SoC的系统结构

3.2 协处理系统微体系结构

协处理系统的主要设计目标是完成计算密集型任务并满足该任务的高数据带宽需求, 因此除了计算能力较强的协处理器核之外, 需要优化片内通信和存储访问结构, 以达到设计目标。本文所设计的协处理系统结构如图 3 所示。

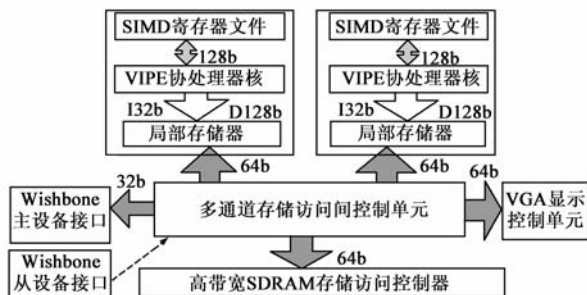


图3 协处理系统微体系结构

如图 3 所示, 协处理系统主要包含两个 SIMD 协处理器核 VIPE 核和 VGPE 核、一个协处理系统专用的大位宽 SDRAM 存储控制单元和一个 VGA 显示控制模块。协处理系统通过一个多通道通信控制单元, 对内部各个模块进行紧耦合设计。本文所设计实现的原型芯片中,

协处理系统内部采用 64 位数据宽度进行数据传输, 比主处理系统的 32 位大一倍。64 位的 SDRAM 局部存储接口为协处理系统内部各模块共享。为了将协处理核计算的结果快速显示, 在协处理系统中紧耦合设计成了一个 VGA LCD 显示控制器。各个模块通过局部存储器与外部交换数据, 因此具有良好的可扩展性, 同时简化了多个模块之间的通信协议和接口。统一的存储映射端口也便于实现片上的多通道调度与控制。为了加速可视媒体应用, 本文根据前述的应用分类, 设计实现了两个微异构的协处理器核。

图 4 给出了协处理核的微体系结构框架, 图中 SFU 为特殊功能单元, 负责执行应用定制指令; MAC 为乘累加单元, 可并行进行 4 个 16×16 的定点数乘法运算; ALU 则是流水线的算术逻辑运算部件; LSU 则是流水线的

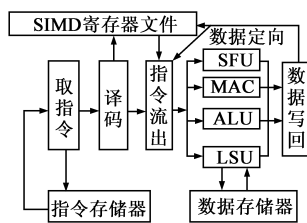


图4 协处理核的微体系结构

为两个协处理器核具有一个相同的基本指令集, 所以我们称其为微异构的。两个协处理器核均采用 128 位的 SIMD 数据通路, 支持最大 16 个字节数据的并行操作。采用一个共同的 32 位编码的 SIMD 基本指令集, 因此协处理器核的流水线比较相似, 两者不同的地方在于针对应用定制的特殊指令和特殊功能单元 SFU。两个协处理器核均配置 64 个 128 位宽的寄存器文件, 8KB 片上指令存储器和 16KB 片上数据存储器。片上存储器采用分块设计, 即每片存储器分为两个独立访问的部分设计, 片上存储器与协处理器内核之间采用 128 位的大位宽访问设计。

为加速可视媒体应用, 根据前述的程序负载特征分析结果, 分别对两个协处理器核进行应用定制指令的扩展。其中, 视频图像处理单元 (Video Image Processing Element, VIPE) 针对图像和视频加速处理扩展了一些特殊指令如绝对差值和 (SAD), 寄存器数据重排序 (RRD), 寄存器数据选择 (RDS) 等等。视觉图形处理加速单元 (Visual Graphic Processing Element, VGPE) 则增强了图形加速处理相关指令, 如向量乘累加, 定点 ALU 指令和饱和运算, 以及基于查表法实现的快速指数运算和正余弦运算等等。

3.3 系统芯片的通信与互联

为支持可视媒体应用中较大的数据输入输出带宽需求及运算任务间的较大通信带宽需求, 本文设计的系统芯片对互联与通信结构进行了优化设计。设计的主要特点包括多通道大位宽协处理系统局部互联、采

用显式存储层次和分块设计的片上存储器、大位宽局部存储控制器以及紧耦合的显示控制单元.通过这一系列的设计,以达到协处理系统相对独立的处理能力,并使协处理系统的计算性能与通信能力相匹配.其中核心的多通道存储访问控制单元支持的数据传输通路大致如图 5 所示.

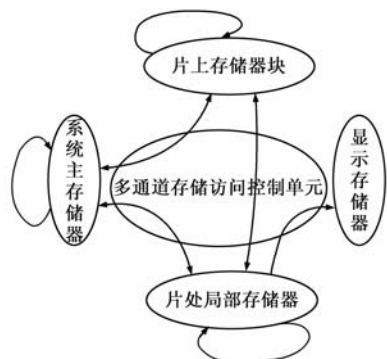


图5 多通道通信控制单元的通信通道支持

图 5 给出了多通道存储访问控制单元 (Memory Access Control Unit, MACU) 支持的不同的数据传输方向. MACU 包含两个独立的传输引擎, 可同时在两对数据源和目标之间进行数据传输, 要求是数据源和目标之间不存在竞争冲突. 片上存储器采用分块设计, 对通信控制单元则提供 64 位的存储读写端口. 如此每个片上存储器实际上提供了 128 + 64 位的实际位宽, 而多个片上存储器通过不同通道与通信控制单元相连, 实际上大大提高了各个模块之间的通信带宽. 同时, 协处理器核配置的片上存储器被划分成相同大小的瓦片, 各个瓦片可独立访问, 以便支持片上存储器的流水化操作. 通过多通道通信控制单元和片上存储器分块设计, 可以达到如图 6 所示的任务执行方式.

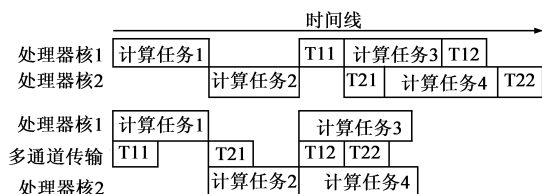


图6 多核任务流水优化后执行序列示意

如图 6 所示, 若计算任务之间存在数据相关和同步关系, 如计算任务 1 和计算任务 2, 则可将下一计算任务的执行代码和数据提前传输, 缩短下一计算任务的等待时间; 若计算任务可并行, 则在计算的同时可以进行后续计算任务的传输和调度, 极大地缩短执行时间. 而对于现实应用程序, 存在很多可并行优化的潜力, 将任务划分或转化为可并行执行的子任务进行调度^[10]. 多通信通道设计及分片存储器设计带来的这种片上并行性, 我们称之为存储片流水. 在嵌入式环境下, 对芯片面积和功耗约束苛刻的环境下, 存储片流水可以在

较小的存储器开销下, 实现较高的存储容量支持. 而且由于消除了因数据传输带来的处理内核空转, 提高了计算系统的性能.

4 设计实现及性能分析

4.1 原型芯片设计实现

EVMP-SoC 原型芯片采用前述的系统结构进行设计实现, 最终的芯片版图如图 7 所示. 芯片内的各个模块的性能与功耗信息, 均采用 EDA 工具对综合后的芯片设计给出估算结果.

从图 7 给出的版图中可以看到系统芯片的几大组成部分, 其中 EStar Core 即 RISC 主处理器, AMU 即前述多通道存储访问控制单元, SMC 是协处理系统的大位宽片外存储控制器, VGA 则是显示控制单元, Host IO 系统即主处理系统的外部设备接口. 系统芯片占用约 5mm × 6mm 的 0.13μm CMOS 工艺的晶圆面积, 主要受限于芯片的引脚个数. 该系统芯片外部引脚数 400 个, 采用 BGA 封装格式进行封装.

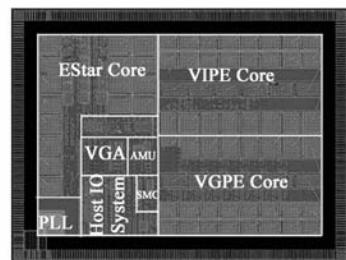


图7 EVMP-SoC原型芯片的最终版图

系统芯片的详细实现信息如图 8 所示, 面积功耗等信息由 SoC Encounter 在进行详细布线之后给出. 图中的主处理器 EStar 处理器核是指不包含指令和数据 Cache 的 RISC 处理器流水线内核. 将该处理器内核配置的 8KB 指令 Cache 和 8KB 数据 Cache 相关的数据信息并入了主处理器 IO 部分. 由于协处理器核的 SIMD 流水线采用相对简单的指令集设计, 控制逻辑简单, 因此 VIPE 和 VGPE 协处理内核的组合逻辑面积和 EStar 主处理器核相当. 但是寄存器文件则比 EStar 处理器核大很多, 而且每个协处理核配置较大的局部存储器, 因此 VIPE 和 VGPE 的非组合逻辑面积跟整个主处理系统带 IO 接口控制器的面积相当. 动态功耗反应流水线的活动性和时钟树切换的功耗. VIPE 和 VGPE 核由于拥有大位宽的数据通路, 动态功耗较主处理器 EStar 大很多. 系

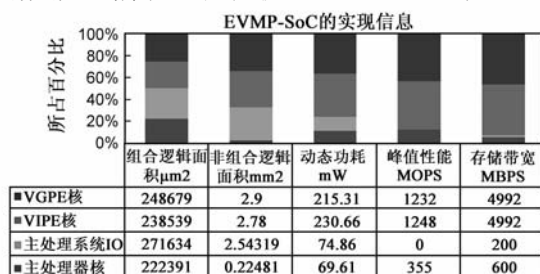


图8 EVMP-SoC的面积、功耗及峰值性能

统芯片整个的动态功耗大于各个内核功耗之和,是由于芯片众多的 IO pad 功耗较高导致的。

芯片封装之后,在测试板上运行于 300MHz 时的实测峰值功耗约为 600mW. 由于采用大位宽数据通路设计和应用定制指令以及大位宽片上存储器,系统芯片的峰值性能和存储带宽大大增加. Vipe 核和 VGPE 核的存储带宽由于采用大位宽局部存储器,较主处理器大. 协处理系统的局部 SDRAM 存储接口由于采用 64 位优化设计,较主处理器的 SDRAM 存储接口带宽大很多。

4.2 原型芯片性能分析

由于采用了应用定制指令和大位宽数据通路,协处理系统的性能较主处理系统得到了较大的加速比. 微内核的详细性能信息和加速比如图 9 所示。

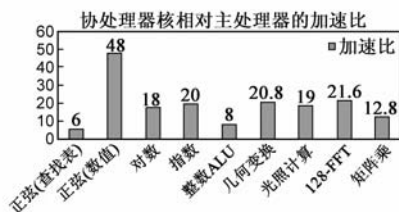


图9 EVMP-SoC的微内核性能分析

应用微内核测试包含 9 个不同的测试内核. 其中 4 个为视觉和图形处理中经常调用的基本运算功能. 128 点的 FFT 算法用 8 点 FFT 算法进行搭建, 8 点 FFT 算法则采用手工编码优化的方式设计实现. 矩阵乘法运算内核完成两个 64x64 的整数矩阵的乘法运算。

如图 9 所示, 由于采用了大位宽数据通路和应用定制指令, 协处理系统相对于主处理器获得了较高的加速比. 图中左边四个微内核只能被 VGPE 核加速. 其它的微内核均可以被两个协处理核加速. 数据级并行和大位宽存储访问对图形运算和图像处理内核具有良好的加速效果, 如光照计算、顶点转换计算. 128 点 FFT 运算加速比很高主要是由于一些特殊指令的使用, 如数据重排指令和寄存器数据选择指令。

4.3 典型应用的核心运算性能评测

为验证系统芯片的整体性能, 我们挑选了三个可视媒体典型应用中的核心算法作为评测对象: 离散余弦变换 DCT、矩阵 LU 分解和矩阵向量转置 MVT. 为使得这三个算法在系统芯片上高效运行, 首先需要进行代码的并行性优化, 并根据片上存储器的容量大小实现算法数据集的局部性优化。

代码优化的过程基于对多重循环优化效果良好的多面体模型^[7]. 在对代码段进行分块后, 利用代码块调度技术和存储器流水支持, 实现了任务的流水, 是系统芯片的性能最大化. 我们采用了 ARM 公司的开发套件 RealView, 模拟过程中使用了 ARM1136F 的模拟内核. 具

体的程序运行数据如图 10 所示。

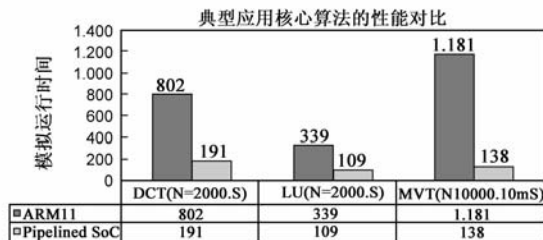


图10 应用核心算法的运行性能对比

如图 10 所示, 不同的典型应用核心算法在系统芯片上运行相对于通用嵌入式微处理器均获得较高的加速比. 其中 LU 分解由于算法的数据局部性相对较差, 子任务之间存在较大的数据相关性, 分块之后的程序代码仍然存在任务间等待和同步, 片上多个处理器内核的性能没有充分发挥, 导致获得的加速比最小, 仅为 3.1. 而 MVT 算法则由于具有良好的数据局部性和向量化数据特征, 在多个处理器核上获得很高的并行性, 同时得益于片内的大位宽存储带宽, 使得该算法所获得加速比最大, 约为 8.5. DCT 算法则表现适中, 通过充分使用数据选择与重排指令, 并将算法进行并行性和局部性的优化, 得到了约为 4.2 的加速比。

通过三个典型应用核心算法的评测, 系统芯片表现出良好的运算性能, 尤其在访存带宽和数据吞吐量上相对于通用嵌入式微处理器由明显优势. 适宜于加速具有良好向量化特征和数据并行性的可视媒体应用, 如图像处理、图形场景绘制等。

5 应用实例研究

为更全面的测试系统的应用性能, 我们进行了一个可视媒体典型应用的实例研究: 基于图像序列的空间雕刻. 该算法使用可变 Voxel 来加速建模过程^[9]. 算法源代码采用标准 C 语言编写. 实际测试采用 16 幅 640×480 分辨率的图像和 11 幅 720×480 分辨率的图像分别进行实验。

我们在三个不同的平台上进行了该空间雕刻应用的测试. 第一个测试平台是原型系统芯片的测试板, 如图 11 所示。



图11 封装后系统芯片及其测试板

板上配置 64MB SDRAM 作为主处理器的存储器, 32MB SDRAM 作为协处理系统局部存储器. 原型芯片设置在 333MHz 运行. 第二个测试平台是桌面计算机, 配置 1.86GHz 的 Intel Core2 处理器, 2GB DDRII 内存和 NVidia GeForce 8600GT 显卡. 第三个测试平台则是一个嵌入式开发板, 板载 520MHz 的 Intel Xscale 270 处理器, 64MB SDRAM 存储器作为主存, 并配置一个 Intel 2700G 加速芯片. 三个测试平台的实验结果如图 12 所示。

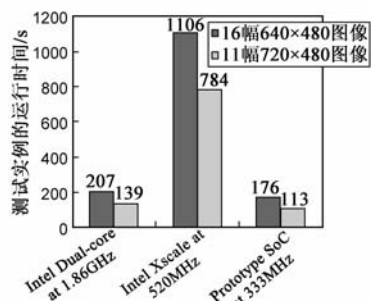


图12 应用实例在不同测试平台上的运行时间

如图12所示,纵坐标表示测试实例在目标平台上的执行时间,桌面计算机测试平台上,为了实验结果的直观性和可比较性,我们没有采用Intel的IPP和OpenCV所支持的多核优化技术,三维对象的绘制和渲染仍然采用了NVIDIA显卡进行绘制,应用代码采用VisualStudio进行编译生成。Intel XScale平台则采用Intel 2700G图形加速芯片进行场景绘制。原型SoC测试平台则采用两个协处理核独立完成整个算法过程。由于算法运算过程中产生大量临时数据,而片上存储器容量较小,因此存储访问延迟不能被完全隐藏,使得性能有所降低。尽管如此,EVMP-SoC仍然较Xscale得到了较高的加速比。

6 结论

本文面向新兴的可视媒体领域应用,设计实现了一款异构多核的系统芯片。通过对领域应用的负载特征、程序特性、存储与通信特征等进行分析,指导系统芯片的结构和微体系结构设计,得到优化的设计结果。对于数据带宽需求较大的应用,采用显式存储层次的片上存储器,容易实现高访存带宽和任务级并行性。

参考文献:

- [1] TI Ltd. OMAP Processor Bulletin[EB/OL]. <http://focus.ti.com/lit/ml/sprt457b/sprt457b.pdf>, 2010-03-02.
- [2] M Gonzalez, et al. Hybrid access-specific software cache techniques for the Cell BE architecture[A]. David Tarditi. Proceedings of International Conference on Parallel Architectures and Compilation Techniques 2008[C]. New York, ACM, 2008. 292 - 302.
- [3] CH Crawford, et al. Accelerating computing with the cell broadband engine processor[A]. Computing Frontier 2008[C]. New York: ACM, 2008. 3 - 12.
- [4] Y Bouchebaba, et al. Mpsoc memory optimization using program transformation[J]. ACM Transaction on Design Automa-

tion and Electronic Systems, 2007, 12(4): 43.

- [5] Peng Zhao, Ming Yan, et al. A new application feature analysis approach for system-on-chip hardware/software[A]. CISP '08[C]. Sanya, IEEE, 2008.
 - [6] Ming Yan, Sikun Li. Novel architectures comparison and analysis on media compression[A]. CAD/Graphics '07[C]. Beijing, IEEE, 2007. 509 - 512.
 - [7] U Bondhugula, et al. A practical automatic polyhedral parallelizer and locality optimizer[A]. PLDI '08[C]. New York, ACM, 2008. 101 - 113.
 - [8] D. Nuzman, A. Zaks. Outer-loop vectorization: Revisited for short simd architectures[A]. PACT '08[C]. New York: ACM, 2008. 2 - 11.
 - [9] Yin Liang-ze, Wan Guowei, et al. Image-based modeling algorithm integrating changeable-voxel and pixel-mapping[J]. Journal of System Simulation, 2008, 20: 359 - 362.
 - [10] 赵鹏, 王大伟, 李思昆. 面向 SoC 任务分配的应用程序存储需求分析方法[J]. 电子学报, 2010, 38(3): 541 - 545.
- Zhao Peng, et al. Research on memory size estimation of application programs for system-on-chip task allocation[J]. Acta Electronica Sinica, 2010, 38(3): 541 - 545. (in Chinese)

作者简介:



严明 男, 1981年生于湖南华容。国防科技大学计算机学院博士生。研究方向为嵌入式系统体系结构与编译。

E-mail: mingyan@nudt.edu.cn



李思昆 男, 1941年生于山东青岛。毕业于哈尔滨军事工程学院。教授, 博士生导师。研究方向为 SoC 设计方法学, 虚拟现实与可视化技术。

沈剑良 男, 1982年生于浙江湖州。国防科技大学计算机学院博士研究生。研究方向为嵌入式系统低功耗设计技术。

赵鹏 男, 1979年出生于河南鹤壁。国防科技大学计算机学院博士研究生。研究方向为 SoC 设计方法学。